

(54) SEMICONDUCTOR DEVICE

(11) 4-233281 (A) (43) 21.8.1992 (19) JP

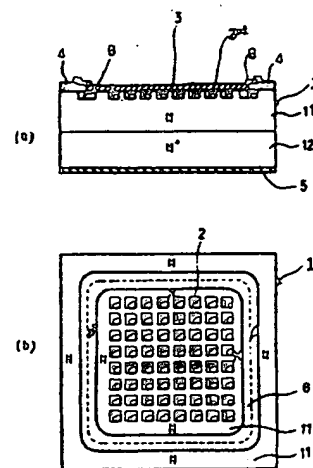
(21) Appl. No. 2-408535 (22) 28.12.1990

(71) FUJI ELECTRIC CO LTD (72) MASANORI MITAMURA

(51) Int. Cl.<sup>5</sup> H01L29/91, H01L27/04, H01L29/48

**PURPOSE:** To reduce switching loss by making the surface impurity concentration of a second region, a guard ring region, lower than that of a first region for forming a PIN diode.

**CONSTITUTION:** A P<sup>+</sup> guard ring region 6 surrounding a P<sup>-</sup> region is formed by selective diffusion technique after an oxide film mask is formed. A P<sup>-</sup> region 2 which forms a PIN diode together with an N-layer 12 and an N layer 11 occupies 30% of the area surrounded by the guard ring 6. After that, a Schottky barrier metal layer 3 is formed. The surface impurity concentration of the P<sup>-</sup> region 2 of the PIN diode part is changed in the range of  $1 \times 10^{17} \sim 5 \times 10^{18}/\text{cm}^2$ , and that of the guard ring region 6 is set to be  $3 \times 10^{17}/\text{cm}^2$ ,  $3 \times 10^{16}/\text{cm}^2$ , and  $2 \times 10^{15}/\text{cm}^2$ , thereby forming a semiconductor device. For comparizon, a semiconductor device of the whole surface PIN diode is formed, in which the metal layer 3 is not directly in contact with the N layer 11 but in contact with the surface impurity concentration P<sup>-</sup> region 2 formed on the whole surface via an interval from the guard ring 6.



1: silicon substrate

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-233281

(43) 公開日 平成4年(1992)8月21日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/91				
27/04	U	8427-4M		
29/48	G	7738-4M		
	F	7738-4M		
		7638-4M		
			H 0 1 L 29/ 91	C
			審査請求 未請求 請求項の数4(全 4 頁)	

(21) 出願番号 特願平2-408535

(22) 出願日 平成2年(1990)12月28日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 三田村 昌典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

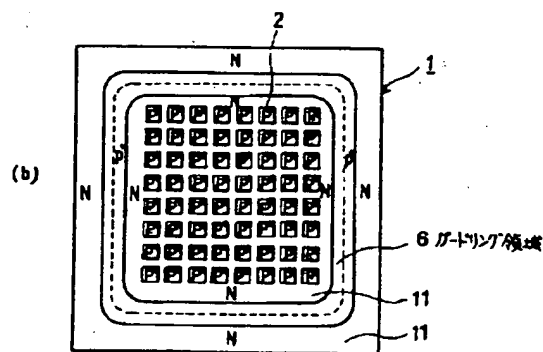
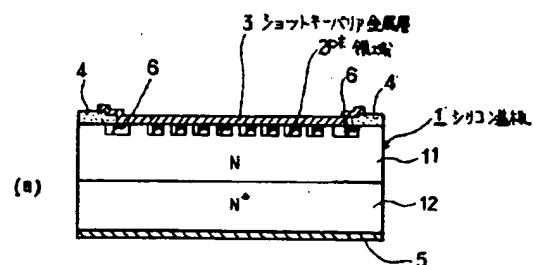
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 一半導体層の表面にP I N構造とショットキー・バリアを形成し、並列接続してガードリングで囲む場合にガードリング領域からの不純物の注入で逆回復時間が長くなる問題を解決する。

【構成】 ガードリング領域の表面不純物濃度をP I Nダイオード部の同導電型の領域の表面不純物濃度より低くすることによりガードリング領域からの不純物の注入を減少させ、逆回復時間を短くする。特にガードリング領域の表面不純物濃度が $3 \times 10^{16} \text{ cm}^{-3}$ 以下であるときに有効で、逆回復時間が全面P I N構造のダイオードの5分の1程度以下になる。



## 【特許請求の範囲】

【請求項1】第一導電型の低不純物濃度の半導体層の表面層内に選択的に分散して形成された第二導電型の第一領域とその第一領域をとり囲んで選択的に形成された環状の第二導電型の領域とを有し、前記第一導電型の半導体層表面に第一領域および第二領域の少なくとも第一領域に近い側を含めて接触し、前記第一導電型の半導体層の間に第一導電型の半導体層と第二導電型の第一領域との間の接合と順方向を同じ向きにして並列のショットキー・バリアを形成する金属層を備えたものにおいて、第二領域の表面不純物濃度が第一領域の表面不純物濃度より低いことを特徴とする半導体装置。

【請求項2】請求項1記載のものにおいて、第二領域の表面不純物濃度が $3 \times 10^{16} / \text{cm}^3$ 以下である半導体装置。

【請求項3】請求項1あるいは2記載のものにおいて、第一領域が複数個の領域として形成された半導体装置。

【請求項4】請求項1あるいは2記載のものにおいて、第一領域が第一導電型の半導体層の複数個の露出領域を囲んで形成された半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ショットキー・バリアによる整流部とPIN構造による整流部を複合した損失の小さいダイオードとして知られる半導体装置に関する。

## 【0002】

【従来の技術】半導体基板全面にPIN構造を形成したダイオードにくらべ、ショットキー・バリアによる整流部を複合すると、逆回復時間が短くなり、スイッチング損失が低下するという利点を有する。図1(a)、(b)は、特公昭59-35183号公報で公知のそのような半導体装置を示し、N層11とN<sup>+</sup>層12を有するシリコン基板1のN層表面部に多数のP<sup>+</sup>領域2が形成され、またその表面にAlあるいはCrなど、N層11との間にショットキー・バリアを形成する金属層3が酸化膜4の開口部で接触している。一方、N<sup>+</sup>層12の表面には全面に金属層5が接触している。また、このような構造においては、通常、金属層3の接触面の周縁部にP<sup>+</sup>領域2と同時に形成されるP<sup>+</sup>ガードリング領域6が形成され、N層11との間に形成されるPN接合によって電界集中を緩和し、表面での逆方向降伏電圧を高める方法が行われる。

## 【0003】

【発明が解決しようとする課題】しかし、そのようなガードリング構造を備えたショットキー・バリア・ダイオードとPINダイオードの混成半導体装置においては、ガードリング幅が広いと、特に高電流領域においてガードリング領域6からN層11への少数キャリアの注入が増大し、逆回復時間が長くなる等の悪影響が生じる。

【0004】本発明の目的は、上述の欠点を除き、ガードリング領域からの少数キャリアの注入を抑えて逆回復時間を短くしたPIN、ショットキー・バリア複合の半導体装置を提供することにある。

## 【0005】

【課題を解決するための手段】上記の目的を達成するために、本発明は第一導電型の低不純物濃度の半導体層の表面層内に選択的に分散して形成された第二導電型の第一領域とその第一領域をとり囲んで選択的に形成された環状の第二導電型の領域とを有し、前記第一導電型の半導体層表面に第一領域および第二領域の少なくとも第一領域に近い側を含めて接触し、前記第一導電型の半導体層との間に第一導電型の半導体層と第二導電型の第一領域との間の接合と順方向を同じ向きにして並列のショットキー・バリアを形成する金属層を備えた半導体装置において、第二領域の表面不純物濃度が第一領域の表面不純物濃度より低いものとする。そして、第二領域の表面不純物濃度が $3 \times 10^{16} / \text{cm}^3$ 以下であることが有効である。また、第一領域は複数個の領域として形成されてもよく、あるいは第一導電型の半導体層の複数個の露出領域を囲んで形成されてもよい。

## 【0006】

【作用】ガードリング領域である第二領域の表面不純物濃度をPINダイオードを形成する第一領域の表面不純物濃度より低くすることにより、ガードリングからの少数キャリアの注入が減少する。これによりPINダイオード部およびガードリング部からの少数キャリアの全注入量が減少するので、逆回復時間が短くなる。

## 【0007】

【実施例】図1に示した構造をもつ半導体装置を次のようにして作製した。すなわち、高不純物濃度のN<sup>+</sup>シリコン・サブストレート12の上に比抵抗 $7 \Omega \text{cm}$ のN型シリコン層11を $2.5 \mu\text{m}$ の厚さにエピタキシャル成長させたシリコン基板1を使用し、酸化膜マスクを用いた公知の選択拡散技術によりN層11の表面層内に深さ $5 \mu\text{m}$ の $12 \mu\text{m}$ 角の方形のP<sup>+</sup>シリコン領域2を $30 \sim 40 \mu\text{m}$ の間隔で配置した。さらに、別の酸化膜マスクを形成しての選択拡散技術によりこれらのP<sup>+</sup>領域の周りを囲むP<sup>+</sup>ガードリング領域6を選択拡散により形成した。ガードリング6によって囲まれた面積のうちN<sup>+</sup>層12、N層11と共にPINダイオードを形成するP<sup>+</sup>領域2の面積が30%を占める。このあと、ショットキー・バリア金属層3を形成した。PINダイオード部のP<sup>+</sup>領域2の表面不純物濃度を $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ の範囲内で変化させ、ガードリング領域6の表面不純物濃度は $3 \times 10^{17} / \text{cm}^3$ 、 $3 \times 10^{16} / \text{cm}^3$ 、 $2 \times 10^{15} / \text{cm}^3$ とした半導体装置および比較のため金属層3が直接N層11に接触せず、ガードリング領域6と間隔を介する全面に形成された前記表面不純物濃度のP<sup>+</sup>領域2に接触する全面PINダイオードの半導体装置

を作製した。図2はそれらの半導体装置の逆回復時間  $t_{rr}$  と  $P^+$  領域2の表面不純物濃度の関係を示す。線21は全面PINダイオード、線22、23、24はそれぞれガードリング領域6の表面不純物濃度が  $3 \times 10^{17}/\text{cm}^2$ 、 $3 \times 10^{16}/\text{cm}^2$ 、 $2 \times 10^{15}/\text{cm}^2$  の場合である。線22、23、24よりガードリング領域6の表面不純物濃度が低い方が  $t_{rr}$  が短くなり、逆回復特性が改善される。特に、ガードリング領域6の表面不純物濃度が  $3 \times 10^{16}/\text{cm}^2$  以下のときに有効であり、線21に示した全面PINダイオードの場合に比して  $t_{rr}$  が1/5程度になる。

【0008】図3は本発明に基づくショットキー・バリア半導体装置の別の実施例を示し、図1の場合とは逆に  $P^+$  領域2が連続して形成され、N層11はガードリング領域6の外側では連続しているが、内側では分離した複数の領域として形成されている。ガードリング領域6の表面不純物濃度が  $P^+$  領域2の表面不純物濃度より低くされることは上の実施例と同様である。この実施例では、高比抵抗のN層11の金属層3に接触している領域が  $P^+$  領域2に囲まれていることにより、逆方向印加時にN層11に広がる空乏層によってピンチオフを起こしやすく、図1の半導体装置に比して高耐圧が得やすい。

【0009】図4はさらに別の実施例を示し、 $P^+$  領域2はくしの歯状に形成され、その間にN層11が露出している。この場合もガードリング領域6の表面不純物濃度を低くすることは上記の各実施例と同様である。

【0010】本発明は上記の実施例に限定されるものではなく、P型シリコン基板とN領域の間のPIN接合ならびにP型基板と金属層の間のショットキー・バリアとを並列にした半導体装置におけるN型ガードリング領域

の表面不純物濃度にも適用できる。

【0011】

【発明の効果】本発明によれば、PINダイオードとショットキー・バリアダイオードを並列に複合した半導体装置のガードリング領域の表面不純物濃度を同一導電型のダイオード部の領域の表面不純物濃度より低くすることにより、ガードリング領域から逆導電型の領域への少数キャリアの注入が減少し、逆回復時間が短くなり、スイッチング損失が低減される。そして、ガードリング領域の表面不純物濃度が  $3 \times 10^{16}/\text{cm}^2$  以下のときに特に逆回復時間の短縮が顕著になる。なお、ダイオード部領域が複数個の分離した領域に形成されている場合も、連続した領域に形成されている場合も有効である。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置を示し、そのうち(a)は断面図、(b)は平面図

【図2】全面PINダイオードおよびガードリング領域の表面不純物濃度をパラメータとしたときの本発明の実施されるショットキー・バリア半導体装置の逆回復時間とダイオード部領域の表面不純物濃度との関係線図

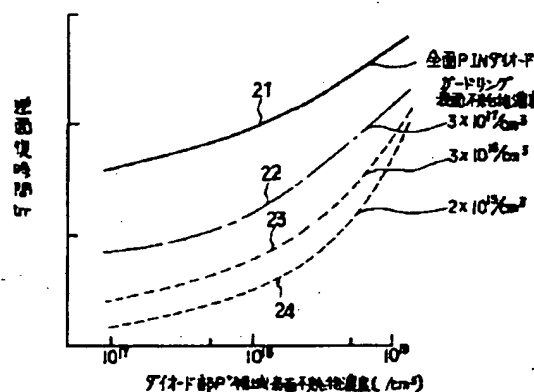
【図3】本発明の別の実施例の半導体装置の平面図

【図4】本発明のさらに別の実施例の半導体装置の平面図

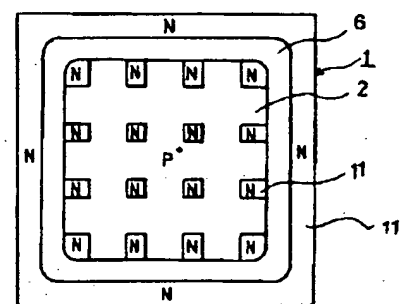
【符号の説明】

- 1 シリコン基板
- 11 N層
- 12 N<sup>+</sup>層
- 2 P<sup>+</sup>領域
- 3 ショットキー・バリア金属層
- 6 P<sup>+</sup>ガードリング領域

【図2】



【図3】



【図 4】

